

## ⑫ 公開特許公報(A) 平4-144160

⑤ Int. Cl. 3

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月18日

H 01 L 25/00  
25/04

A 7638-4M

7638-4M H 01 L 25/04

Z※

審査請求 有 請求項の数 13 (全27頁)

⑭ 発明の名称 メモリアレイの高密度実装方法及び高密度に実装されたメモリアレイ装置

⑮ 特 願 平2-403237

⑯ 出 願 平2(1990)12月18日

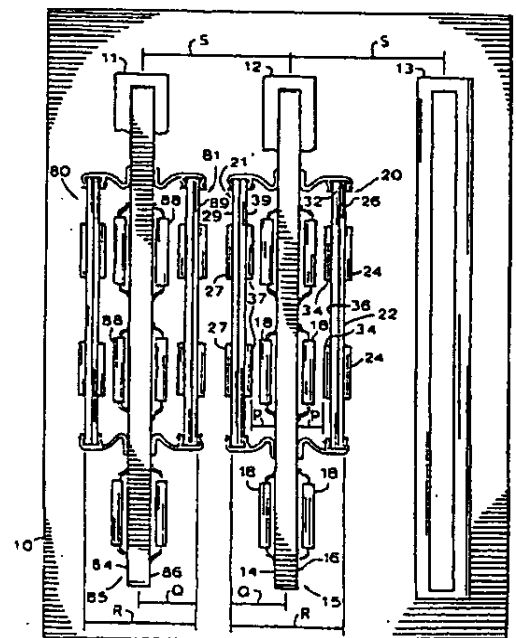
優先権主張 ⑰1989年12月20日 ⑱米国(US) ⑲453518

⑳ 発 明 者 アンドリユー エル アメリカ合衆国 マサチューセッツ州 01545 シュローズ  
ウー バリー ハイ ストリート 15㉑ 出 願 人 デジタル イクイブ アメリカ合衆国 マサチューセッツ州 01754 メイナード  
メント コーポレイシ メイン ストリート 146  
ヨン㉒ 代 理 人 弁理士 中 村 稔 外7名  
最終頁に続く

## ㉓【要約】

【目的】本発明の目的は集積回路チップの低外形、高密度パッケージを提供することである。

【構成】第1のマルチチップメモリモジュールは第1と第2の相互結合部材を含み、各部材の第1の側面には低外形メモリチップを取りつけてある。低外形エッジクリップを使用して第2部材の第2の側面を第1部材の第2の側面へ機械的に接続し、そして第1部材と第2部材の第1の側面を回路ボードの第1の面へ電気的に接続する。同様に、第2のマルチチップメモリモジュールは第1と第2の相互結合部材を含み、各部材の第1の側面には低外形メモリチップを取りつけている。低外形エッジクリップを使用して第1部材と第2部材の第2の側面を機械的に接続し、そして第1部材と第2部材の第1の側面を回路ボードの第2の面へ電気的に接続する。サーマルロードを分布するサーマルマネジメント技術を利用して標準のコンピュータバックプレーンとキャビネットに挿入できる高密度パッケージをつくる。



【書類名】 明細書

【発明の名称】 メモリアレイの高密度実装方法及び高密度に実装されたメモリアレイ装置

【特許請求の範囲】

【請求項1】 隣接する複数の基板を受入れるように所定の距離で等間隔に隣接して配列された複数のコネクタを有するコンピュータのバックプレーン内に挿入されるように形成され、集積回路チップを低外形、高密度に実装した装置であって、

第1の表面及び第2の表面に導電性部分を有し、バックプレーンのコネクタ内に挿入されるように形成されている回路基板、

それぞれが、第1の側と第2の側とを有し、第1及び第2の側にこれらの側上の導電性部分と導電的に取り付けられている低外形集積回路チップを有する少なくとも2つのほぼ平面状のマルチチップモジュール、

前記少なくとも2つのマルチチップモジュールの一方を回路基板の第1の表面上の導電性部分の選択された点に、また前記少なくとも2つのマルチチップモジュールの他方を回路基板の第2の表面上の導電性部分の選択された点にそれぞれ機械的に接続し、回路基板の前記選択された点とマルチチップモジュールの第1及び第2の側の導電性部分の選択された点とを電気的に接続するように形成され、寸法ぎめされ、そして配列されている縁接続手段、及び

隣接し合う基板をバックプレーンのコネクタ内に受入れるために前記所定の距離を変更するような再設計の要をなくして組立てられた低外形パッケージをバックプレーン内に挿入可能ならしめるように、熱消散が過度に集中するのを回避するパターンで低外形チップを付勢及び減勢することによって熱負荷を分散させるように低外形チップが発生する熱負荷を管理する熱的手段を具備する装置。

【請求項2】 マルチチップモジュールが、低外形チップを電気的に相互接続する相互接続部材をも備える請求項1記載の装置。

【請求項3】 低外形集積回路チップが、回路基板の第1及び第2の表面にも取り付けられていて、回路基板の導電性部分の別の選択された点と導電関係に

ある請求項2記載の装置。

【請求項4】 縁接続手段が低外形エッジクリップを含む請求項3記載の装置。

【請求項5】 低外形集積回路チップがRAMチップである請求項4記載の装置。

【請求項6】 間隔に制約がある標準コンピュータバックプレーン内に挿入可能な高密度メモリアレイパッケージを製造する方法であって、

電気信号を送受信するための導電性部分を有する第1の側と、第2の側とを有する第1の多層相互接続部材を形成し、

電気信号を送受信するための導電性部分を有する第1の側と、第2の側とを有する第2の多層相互接続部材を形成し、

第1の多層相互接続部材の第1の側と、第2の多層相互接続部材の第1の側とにそれぞれメモリチップを取付けてこれらの側上の導電性部分と導電関係を持たせ、そして

組立てられた高密度メモリアレイパッケージを間隔の制約に反することなく標準バックプレーン内に挿入できるように、両多層相互接続部材の第1の側上の導電性部分を回路基板の表面上の導電性部分に電氣的に、及び機械的に接続する諸段階を具備する方法。

【請求項7】 第1及び第2の多層相互接続部材が、サブストレート層の一方の側上に絶縁材料の層によって分離されている導電材料の層を沈積せしめて形成される請求項6記載の方法。

【請求項8】 メモリチップが、裸の低外形メモリチップである請求項7記載の方法。

【請求項9】 裸のメモリチップが、フリップチップボンディングによって取り付けられる請求項8記載の方法。

【請求項10】 多層相互接続部材が、低外形エッジクリップによって回路基板に接続されている請求項9記載の方法。

【請求項11】 ボンディングパッドを有する裸の集積回路チップを高密度に相互接続し、電気信号を送受信するための導電性部分を有していて標準コンピ

ュータバックプレーン内に挿入可能な回路基板に接続されるように形成されたマルチチップモジュールであって、

電気信号を送受信するための導電性部分を有する第1の側と、第2の側とを有する第1の多層相互接続部材、

電気信号を送受信するための導電性部分を有する第1の側と、第2の側とを有する第2の多層相互接続部材、

チップのボンディングパッドを第1及び第2の多層相互接続部材の第1の側上の導電性部分に導電的に結合する裸チップ組立て手段、

第2の多層相互接続部材の第2の側を第1の多層相互接続部材の第2の側へ固着させる接着手段、及び

両多層相互接続部材の第1の側上の導電性部分を回路基板の導電性部分に電気的に、及び機械的に接続する縁接続手段

を具備するモジュール。

【請求項12】 第1及び第2の多層相互接続部材が、サブストレート層の一方の側上に沈積させた複数の導電層をも備え、これらの導電層が複数の絶縁層によって分離されている請求項11記載のモジュール。

【請求項13】 コンピュータのバックプレーン内に挿入されるように形成されている印刷配線基板上に取りつける高密度マルチチップモジュールを構成する装置であって、裸の集積回路チップ、

それぞれが第1及び第2の側を有し、少なくとも各第1の側に導電性部分を有する全体が平面状のほぼ同一の形状の第1及び第2の多層相互接続部材、

裸のチップを各多層相互接続部材の第1の側上の導電性部分に導電的に接続する裸チップ組立て手段、及び

第1及び第2の多層相互接続部材の第2の側を突合せて機械的に接続し、且つ、(a) 第1及び第2の多層相互接続部材の第1の側上の導電性部分の選択された点への電氣的接続を提供し、(b) 組立てられた高密度マルチチップモジュールとバックプレーン内に挿入可能な印刷配線基板の導電性部分との電氣的接続を可能ならしめるように形成され、寸法決めされ、そして配列されている縁接続手段

を具備する装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、一般的には高密度メモリアレイ実装方法及び装置に関し、特定的には高密度マルチチップメモリモジュールを両側に配した回路基板を製造する実装技術に関する。

【0002】

【従来の技術】

近年における半導体組立て技術の進歩はコンピュータ産業に衝撃を与え、高速、低価格及び高密度コンピュータシステムに対する要望を増加させた。集積回路（IC）機能の寸法はほぼ1ミクロンまで縮小され、それによって回路の集積規模の増大を容易ならしめた。現在では、コンピュータの中央処理装置（CPU）の機能は単一のICチップ上に実現できるので、コンピュータシステムを高速で動作させることが可能である。このようなチップレベルの能力の恩恵を最大にするためにはメモリサブシステムの性能をコンピュータの性能に、特定的にはCPUの性能に厳密に整合させなければならない。

【0003】

メモリサブシステムの大きさ（サイズ）及び価格はコンピュータシステムの値段／性能における主要因である。主メモリの最大の大きさは、一般的にCPUのアドレス指定能力によって制限される。高性能CPUチップが開発されるに及んで高速で大きいメモリ能力が必要とされている。しかし現代のランダムアクセスメモリ即ちRAMは比較的高価であり、コンピュータシステムの総合的な大きさの大きい部分を占めている。従って、高密度メモリアレイの実装技術、特に既存のコンピュータのプラットフォームもしくはキャビネットを再設計する要をなくして古い型の、低廉なメモリチップ技術を使用できる技術が要望されている。若干の場合には、高密度にメモリを実装することが間隔的制約に反するためにバックプレーンのような、または高密度実装による熱を除去できないために冷却システムのような、コンピュータのプラットフォーム／キャビネット要素を再設計す

る必要をもたらす。

#### 【0004】

主メモリの別の要求は主記憶サブシステム及びCPUチップ内のRAM間的高速相互接続である。何故ならば、このようなオフチップ相互接続がシステムの総合性能を制限する要因となるからである。一般にメモリ装置はバスに方向付けられているので、主メモリとCPUとの間の相互接続はそれ程複雑ではなく、またエラーも生じにくい。それでもRAMチップ間相互接続は、メモリサブシステムの性能が低下するのを避けるために、インダクタンス及び浮遊容量が付加されるのを最小ならしめなくてはならない。

#### 【0005】

##### 【発明の概要】

本発明はより大きく、より経済的なメモリサブシステムが得られるように改善された高密度メモリアレイ実装方法及び高密度に実装されたメモリアレイ装置を提供する。

#### 【0006】

本発明は、その広に面において、隣接する複数の基板を受入れるように所定の距離で等間隔に隣接して配列された複数のコネクタを有するコンピュータのバックプレーン内に挿入されるように形成され、集積回路チップを低い外形（プロファイル）で高密度に実装した装置に係り、本装置は

#### 【0007】

第1の表面及び第2の表面に導電性部分を有し、バックプレーンのコネクタ内に挿入されるように形成されている回路基板、

#### 【0008】

それぞれが、第1の側と第2の側とを有し、第1及び第2の側にこれらの側上の導電性部分と導電的に取り付けられている低外形集積回路チップを有する少なくとも2つのほぼ平面状のマルチチップモジュール、

#### 【0009】

前記少なくとも2つのマルチチップモジュールの一方を回路基板の第1の表面上の導電性部分の選択された点に、また前記少なくとも2つのマルチチップモジ

ジュールの他方を回路基板の第2の表面上の導電性部分の選択された点にそれぞれ機械的に接続し、回路基板の前記選択された点とマルチチップモジュールの第1及び第2の側の導電性部分の選択された点とを電氣的に接続するように形成され、寸法決めされ、そして配列されている縁接続手段、及び

#### 【0010】

隣接し合う基板をバックプレーンのコネクタ内に受入れるために前記所定の距離を変更するような再設計の要をなくして上述のように組立てられた低外形パッケージをバックプレーン内に挿入可能ならしめるように、熱消散が過度に集中するのを回避するパターンで低外形チップを付勢及び減勢することによって熱負荷を分散させるように低外形チップが発生する熱負荷を管理する熱的手段を具備する。

#### 【0011】

本発明の好ましい実施例は、間隔に関する制約に反するためにまたは冷却仕様に反するためにバックプレーンまたはコンピュータ冷却システムの再設計の要をなくして、メモリアレイパッケージを標準コンピュータバックプレーン内に挿入可能ならしめるような低外形で熱的に管理された高密度メモリアレイパッケージを提供する。

#### 【0012】

変形として、多層相互接続部材上のメモリチップを回路基板に相互接続する高密度マルチチップモジュールが提供され、このモジュールはメモリサブシステムの性能及び密度を増大せしめる。

#### 【0013】

本発明の別の変形では、相互接続部材上にそれ程複雑ではなく、歩どまりが高く、低廉なRAMを集積する新しい、改善された高密度メモリアレイ実装方法及びこのようにして高密度に実装された装置が提供される。

#### 【0014】

本発明の上述の及び他の特色は、互いに所定の距離で等間隔に配置されたコネクタを有するコンピュータバックプレーン内に挿入されるように形成されたICチップの低外形、高密度パッケージを提供することによって達成される。要約す

れば、回路基板上にICチップを高密度に実装するために、第1のマルチチップメモリモジュールが準備される。第1の側と第2の側とを有し、第1の側が電気信号を送受信するための導電性部分を有するような第1の多層相互接続部材を作る。次で、これらの導電性部分と導電関係を有するように低外形メモリチップを第1の側に取りつける。同様に、第1の側と第2の側とを有し、第1の側が電気信号を送受信するための導電性部分を有するような第2の多層相互接続部材を作る。これらの導電性部分と導電関係を有するように低外形メモリチップを第1の側に取りつける。次で、第2の部材の第2の側と第1の側の第2の側とを貼り合わせた後に低外形エッジクリップによってこれらの部材の第1の側の導電性部分を回路基板の第1の表面の関連導電性部分に電氣的に、及び機械的に接続する。

#### 【0015】

上に述べたのと同じようにして作られた第1及び第2の多層相互接続部材を含む第2のマルチチップメモリモジュールをも準備する。これも上述の第1のマルチチップメモリモジュールと同じようにして、低外形メモリチップを部材の第1の側に取りつける。これらの部材の第2の側を互に接合した後、低外形エッジクリップによってこれらの部材の第1の側の導電性部分を回路基板の第2の表面の関連導電性部分に電氣的に、及び機械的に接続する。次に熱負荷を分散させる熱管理技術を適用し、それによって準備コンピュータバックプレーンコネクタ内へ挿入可能な高密度パッケージを作る。

#### 【0016】

本発明の変形においては、第1及び第2の側に導電性部分を有する少なくとも2つの相互接続部材のそれぞれの第1及び第2の側に低外形メモリチップを取りつける。これらのメモリチップは相互接続部材の導電性部分と導電関係にあるように取り付けられる。相互接続部材の一方を回路基板の第1の表面に、また別の相互接続部材を回路基板の第2の表面にそれぞれ機械的に、及び電氣的に接続するために、低外形エッジクリップを使用する。このように組立てたパッケージは、再設計の要をなくして標準コンピュータバックプレーン内に挿入することができる。

#### 【0017】



以下に添付図面を参照して実施例を説明する。

# 【0018】

## 【実施例】

図1は典型的なコンピュータ外圍器即ちキャビネット（図示せず）内に設置される型のコンピュータバックプレーン10の内部の平面図である。このバックプレーン10は従来のバックプレーンであって、バックプレーンのスロット（図示せず）を部分的に限定する等間隔に配列された複数のエッジコネクタ（レセプタクル）11～13を含む。各コネクタ11～13は、典型的には1つのコネクタ12の中心から隣接コネクタ11、13の中心まで12.5～25mm（0.5～1.0インチ）の範囲の距離Sだけ離間し、バックプレーンスロット内へ挿入できる回路基板を受入れるように配列されている。図1には隣り合った2つの回路基板15、85を示してある。

# 【0019】

回路基板15（85）は、例えば一方の縁（図示せず）に電気的エッジコネクタ部分を有する全体的には矩形で、大よそ平面の板状部材である普通の型の印刷配線基板であり、1つのコネクタ12またはバックプレーン10のスロット内に挿入されるようになっている。回路基板15は、2つの主たる対向表面14、16に導電層を有する絶縁サブストレート材料からなり、導電層の選択された部分は2つの主表面上に導電路を限定するように除去されている。また回路基板15は両外面14、16間に挟まれた多くの内部導電層及び非導電層を有することができる。

# 【0020】

図1及び図2を参照する。図示した本発明の高密度に実装された装置の実施例の回路基板15には、IC装置即ちチップ18を含む表面マウント型電子成分が両面16、14上に取り付けられている。2つのマルチチップメモリモジュール20、21も回路基板15上に示してある。本発明は、回路基板15の表面16、14に電子成分が直接表面取り付けられてはいないが両面16、14上に1またはそれ以上のマルチチップモジュール20、21を取りつけた高密度に実装された装置にも同じように適用できることを理解されたい。第1図及び第2図に示

す実施例はこのように実装された装置の熱管理問題を説明するのにも使用される。

#### 【0021】

図1及び図2（及び図3乃至図6）の諸要素はやや誇張して画かれており、図及び説明を容易にする目的で縮尺通りには画かれていない。即ち、回路基板またはマルチチップメモリモジュール上に取りつけられているチップの総数、もしくは回路基板に接続されているチップまたはチップの尺度寸法を示すものではなく、それらの互に他に対する関係を示しているのである。

#### 【0022】

回路基板15の両面16、14上にはICチップ18を含む複数の電子成分が取り付けられている。各チップ18は受動素子、または金属酸化物半導体（MOS）のような多くの異なる技術の1つによって製造された超大規模集積回路（VLSI）または極超大規模集積回路（ULSI）のような能動装置であってよい。本発明の長所を取り入れてICチップと類似の他の装置を使用しても差支えないが、本発明のこの実施例においてはこれらの装置はスタティックRAM（SRAM）またはダイナミックRAM（DRAM）チップ18の何れかとする。

#### 【0023】

DRAMチップ18は、超スモールアウトライン実装技術（VSOP）、薄スモールアウトライン実装技術（TSOP）、及びテープ自動ボンディング（TAB）プロセスによる実装技術のような周知の表面マウント技術及び実装法を使用して回路基板15の導電性部分に対して導電的に取り付けられている。これらの実装技術は“低外形”チップ実装技術と呼ばれ、典型的には3.75mm（0.15インチ）の普通のスモールアウトラインJリード（SOJ）実装技術よりも遥かに低い典型的には1.125mm（0.045インチ）以下の実装高さである。低外形チップ実装技術によれば、従来のバックプレーンスロット間隔制約に反することなく回路基板上に成分を両面に表面取り付けすることができる。

#### 【0024】

本発明によれば、低外形、高密度にメモリを実装した装置が提供され、この装置は回路基板15の表面に取りつけられた第1の高密度マルチチップメモリモジ

ジュール20を含み、ジュール20はその側26に取りつけられたチップ24と側36に取りつけられたチップ34とを含む。同様に、ジュール20と類似の第2の高密度マルチチップメモリジュール21が基板15の表面14に取りつけられ、ジュール21は側29上に取りつけられたチップ27と側39上に取りつけられたチップ37とを含む。マルチチップジュール20、21は回路基板15の表面16、14にはほぼ平行に且つ近接して形成され、配列され、そして位置ぎめされている。即ち回路基板15の表面16、14と、基板15に対面しているジュール20、21の最も近い部分との間の距離Pはほぼ等しく、約1.25~2.5mm(0.050~0.100インチ)の範囲内にある。

#### 【0025】

図1に示された回路基板85はバックプレーン10のコネクタ11内に挿入され、回路基板15の高密度に実装されたメモリ装置に隣接している。隣接した回路基板85にも回路基板15で説明したようにしてチップ88及びマルチチップメモリジュール80、81が取り付けられ、本発明による別の高密度に実装されたメモリ装置を構成している。本発明の特色は、典型的には最悪の場合に1つのコネクタの中心から隣のコネクタの中心までが約12.5mm(0.5インチ)である距離Sで限定される間隔を有する標準の、普通のコンピュータバックプレーン内に挿入できる低外形、高密度メモリアレイパッケージを提供することである。この特色によれば、回路基板15、85の完全装備高密度メモリパッケージの相対寸法は上記間隔制約に適合し、従って両パッケージを普通のバックプレーンの隣り合うコネクタ内に挿入することができる。換言すれば、表面16、14(86、84)にそれぞれ取り付けられている少なくとも2つのマルチチップジュール20、21(81、80)を有する回路基板15(85)の巾Rは約9mm(0.360インチ)であり、異なる言い方をすれば、回路基板15(85)の中心から互に対面し合うマルチチップジュール21(81)の遠い方の側29(89)までの距離Qは4.5mm(0.180インチ)である。これらの寸法は、十分に普通のバックプレーンに要求される12.5mm(0.5インチ)の間隔内にある。

#### 【0026】

図3は、図2に示した高密度マルチチップメモリジュール20の側面図であ

り、側26、36上に導電性部分25、35を有する複数の多層相互接続部材22、32を含む。導電性部分25、35は、半導体材料としてシリコンを使用することが好ましい複数のチップ24、34を相互接続する。多層相互接続部材22(32)は全体的に矩形であり、ほぼ平面状の部材であって、後述するようにサブストレータ材料のベース上に沈積させた複数の導電性及び非導電性層からなっている。高密度相互接続を達成するために、多層相互接続部材22は伝統的な印刷配線基板とは異なる技法で作られる。即ち、多層相互接続部材22は半導体製造に使用される薄膜及びリトグラフ技術を用いて製造される。これによって印刷配線基板よりも十分に細い導体線及び薄い絶縁層を有する多層相互接続が得られる。

#### 【0027】

チップ24はMOS技術で製造されたULSIチップであり、本例ではDRAMチップであるが、本発明によれば類似のICチップも使用可能である。DRAMチップ24は“裸の”DRAMチップであることが好ましい。即ちチップ24はICパッケージ内に、またはIC包装技術によって収納されていないことが好ましい。裸のDRAMチップ24及び多層相互接続部材22は組立て前に個々に、且つ別々に試験され、チップ24と多層部材22との組立ては“フリップチップ”ボンディングとして知られるような裸チップ組立て技術を使用して行われる。

#### 【0028】

図から明らかなように、多層相互接続部材22の側28は多層相互接続部材32の側38に結合され、複数のチップを取りつける側26、36を有する高密度マルチチップメモリモジュール20を形成する。側28、38は電子用エポキシのような接着材によって固着させることが好ましいが、例えば機械的エッジクリップを用いる等他の適当な技術によって突合せ関係に結合してもよい。

#### 【0029】

本発明によれば、高密度マルチチップメモリモジュール20はエッジクリップ30のような縁接続手段によって回路基板15に結合する。エッジクリップ30は、回路基板15の導電性部分19から部材22、32の25、35のような選

択された導電性部分への電気接続を得るように形成され、寸法決めされ、そして配列されている。エッジクリップ30と相互接続部材22、32の導電性部分25、35との間の電気接続は普通のはんだ付けによって行われ、エッジクリップ30と回路基板15の導電性部分19との間の電気接続は普通の表面取り付け手段によって行われる。

#### 【0030】

エッジクリップ30は、マルチチップモジュール20と回路基板15との間の機械的結合及び構造支持をも提供しながら、高密度マルチチップモジュール20を“低外形”に維持する。実際に、両側にチップ24、34を配したマルチチップモジュール20の高さTは普通のSOJパッケージより低い約3.3mm(0.130インチ)であり、一方エッジクリップ30に結合されたマルチチップモジュール20の高さVは約4.5mm(0.180インチ)である。本発明の装置に使用できる低外形エッジクリップが、1986年6月3日付のジャック・セイドラーの合衆国特許4,592,617号に記載されている。

#### 【0031】

図4は図3の多層相互接続部材22を示す図であって、部材22はサブストレート層40上に沈積させた複数の導電層44及び絶縁層46からなる。サブストレート層40は多層相互接続部材22のベースを形成しており、上側42及び底側41を有し、その長さは部材22の長さに等しい。サブストレート層40は、セラミックまたは金属のような多くの適当なサブストレート材料の何れかで製造することができるが、熱伝導性が良いので、シリコンが好ましい材料である。またシリコンを使用すると、チップ24のボンディングパッド23を部材22のシリコンサブストレート層40へはんだ付けした時の熱的不整合を最小にする。換言すれば、例えば裸チップ24及びサブストレート層40の両方にシリコンのような類似の材料を使用することによって熱的不整合の可能性は減少するので、異なる材料を使用した場合には異なる熱膨張率のために破壊するかも知れないはんだ緩衝継手48の完全性を保持する。

#### 【0032】

シリコンサブストレート層40の上側42上には、複数の絶縁体の層46によ

って分離された複数の導体の層44（抵抗が低いためにアルミニウムまたは銅の何れかであることが好ましい）が配置されている。後述するように、本発明の特色はマルチチップメモリモジュール20の修理可能性、より具体的に言えばカプセル封じする前に多層相互接続部材22に組立てられた若干の裸チップ24を交換する能力にある。このような修理は部材22の構造、即ちサブストレート層40の一方の側（側42）上への部材22の構築の関数である。ポリイミドは誘電定数が低く、スピニングまたは吹付けによって付着させた時に下になる導体パターンの構造を平面化することができ、それによって階段カバレッジの問題を生ずることなく多層金属性構造の製造を可能ならしめるので、絶縁層46に好ましい材料である。

### 【0033】

前述のように、裸チップ24はフリップチップボンディングと呼ばれる技術（それを好ましく実現したものがはんだ緩衝である）を使用して多層相互接続部材22に組込まれる。フリップチップボンディングは裸チップ24を相互接続部材22の側26上に下向きに位置ざめし、チップ24のボンディングパッド23を部材22の導電性部分25に整列させ、パッド23と導電性25に導電関係に結合することを含む。普通の印刷配線基板とは異なり、多層相互接続部材22はチップ24のボンディングパッド23間の厳格な間隔即ち“ピッチ”を受入れるように設計されている。ボンディングパッド23間のピッチは典型的には0.15～0.20mm（0.006～0.008インチ）であり、これはTSOP、VSOP及びTABパッケージリードに対比される（これらは約0.5mm（0.020インチ）であり普通の印刷配線基板技術によって受入れることができるものである）。

### 【0034】

フリップチップボンディングは、チップ24を部材22へ結合するのに必要な足跡即ち面積がチップ24自体の面積に等しい（他の低外形実装技術VSOP、TSOPまたはTABはより大きい足跡を必要とする）ので、高密度チップ実装には望ましい。フリップチップボンディングは、チップ24のパッド23を部材22に結合するのに典型的に約0.0254～0.038mm（0.001～0.0015インチ）の高さYと、約0.05～0.1mm（0.002～0.004インチ）の巾Zで

でよい比較的小さいはんだ bumps 18 を使用する。高い実装密度を可能にする他に、この小さいはんだ bumps 48 は長いリードが付加するインダクタンス及び浮遊容量を最小にするので、信号の完全性を改善する。またフリップチップボンディングは“裸の”チップ 24 を多層相互接続部材 22 に取り付け可能ならしめるから、このボンディング技術はマルチチップモジュール 20 の高さを低外形にするのを援助し、従って高密度に実装した装置の総合的な大きさ及び寸法を減少させるのを援助する。

### 【0035】

本発明の特色によれば、多層相互接続部材 22 の側 26 上に組立てられた裸の DRAM チップ 24 を交換することができ、従ってマルチチップメモリモジュール 20 全体を例えば電子用エポキシカプセル封じ材のような適当な包装材料でカプセル封じする前に修理することができる。チップ 24 及び多層相互接続部材 22 は共に予め個々に試験されているのではあるが、若干の場合には設計速度でチップ 24 を予備試験することが困難であるので、この点で修理が必要となるかも知れない。従って、チップ 24 が設計速度仕様に合致できないか、またはチップ 24 がボンディングプロセスで欠陥となる可能性がある。部材 22 の一方の側だけははんだを再び流す必要があるから、何れの場合でもカプセル封じする前に側 26 に結合されたチップ 24 を交換することは時間及び価格の点から経済的である。

### 【0036】

前述のように、本発明の別の特色は、バックプレーンスロット間隔制約に反することなくパッケージを標準コンピュータバックプレーン内に挿入可能ならしめるような低外形、高密度メモリアレイパッケージを提供することである。従って標準バックプレーン内に垂直に挿入される完全装備メモリアレイパッケージの巾、即ち標準バックプレーン内に垂直に挿入される少なくとも 1 つの完全装備マルチチップメモリアレイパッケージを含むパッケージの巾、即ち回路基板の一方の表面に取り付けられた少なくとも 1 つの完全装備マルチチップメモリモジュールと回路基板の反対の表面に取り付けられた少なくとも 1 つの完全装備マルチチップメモリモジュールとを含むパッケージの巾は約 9.14 mm (0.360 インチ) で

あり、これはSOJ装置実装技術で装備した従来の両面表面マウント回路基板と同程度であるので、このメモリアレイパッケージは標準コンピュータバックプレーン内に挿入することができる。

#### 【0037】

このような低外形、高密度パッケージをバックプレーン内へ挿入すると、コンピュータキャビネット内に存在する使用可能電力及び冷却能力に伴う問題を増大させる。本発明の別の特色は、活動装置及びチップの高密度相互接続によって発生する熱負荷を分散させるように配列されたメモリアレイパッケージを含む。換言すれば、このような高密度実装は当然単位面積当りの装置またはチップをより多く含み、それが単位面積当りの電力消散をより大きくする。本発明の好ましい実施例は、読み出し／書き込み動作中のようにチップがアクセスされている時には高電力モードで動作する特性を有し、またチップが現状態情報を保持する時には低電力モードで動作するDRAMメモリチップを使用している。従って、また第1図に戻って、回路基板15の表面16に取りつけられているマルチチップメモリモジュール20は、側26に結合されているチップ24が高電力動作即ち“ターンオン”している時には、その直下にあつてマルチチップメモリモジュール20の反対側表面36上に位置しているチップ34は低電力動作即ち“ターンオフ”するように構成されている。同様に、また類似の応用においては、メモリアレイパッケージ全体は、マルチチップメモリモジュール20が高電力動作にある即ちチップ24、34がターンオンの時にはマルチチップメモリモジュール21、正確にはチップ27、37が低電力動作即ちターンオフであるように構成することができる。若干のメモリチップ即ち“メモリバンク”をそれらの位置に依存して付勢及び減勢するこの交番パターンはマルチチップモジュールのメモリアレイパッケージ全体にわたって繰返されるので、使用可能なコンピュータ資源と共に本発明の装置の熱的管理が行われる。勿論、上記本発明の概念から逸脱することなく他の付勢／減勢パターンも使用可能であることは明白である。

#### 【0038】

本発明によれば、マルチチップメモリモジュール20の熱エネルギー伝導はDRAMをカプセル封じする方法によって改善される。マルチチップメモリモジュール



ル20に結合された裸チップ24を同時に、即ち結合したチップを試験した後に、カプセル封じすると、従来のSOJパッケージを取囲むのに使用されるプラスチック成型材料よりも約1けた薄いカプセル封じ材が付着するようになる。このようなカプセル封じによる電力消散は従来の実装よりも効率的である。

#### 【0039】

本発明の高密度に実装された装置のこの特定実施例は、従来のメモリ装置を配した両面表面マウント回路基板に比して6倍までのメモリ密度を提供することができる。本発明のこの付加的な特色は、従来の主メモリサブシステム実装上の限界を解消する。即ちコンピュータシステムの総合の大きさ及び改善されたコンピュータ性能に相応する大きく且つ高速なメモリ能力に関する要望に応える。

#### 【0040】

第5図は低外形、高密度に実装したメモリアレイ装置の変形実施例の斜視図である。本発明によれば、高密度に実装されたメモリ装置は回路基板55の表面56に取り付けられた第1の高密度マルチチップメモリモジュール60を含み、モジュール60はその側66に取り付けられたチップ64と側68に取り付けられたチップ65を含む。同様に、モジュール60と類似の第2の高密度マルチチップメモリモジュール61が回路基板55の表面54に取り付けられ、モジュール61は側69に取り付けられているチップ67と反対の側（図示せず）に取り付けられているチップ（図示せず）とを含む。これらのマルチチップモジュール60、61は回路基板55の表面56、54にはほぼ平行に且つ近接関係にあるように形成され、配列され、そして位置ぎめされている。回路基板55の表面56、54とモジュール60、61の最も近い点との間の距離は約1.25～2.5mm（0.050～0.100インチ）に等しく、この範囲内にある。

#### 【0041】

回路基板55は図1の回路基板15に類似し、RAMチップ58を含む表面マウント電子成分がその両面54、56上に取り付けられている。勿論、本発明は回路基板55の表面54、56に電子成分が直接取り付けられていない高密度に実装されたメモリ装置にも等しく適用される。チップ58はVSOP、TSOP及びTABのような周知の低外形表面マウント技術及びパッケージを使用して回

路基板55の導電性部分と導電関係に取りつけられる。

#### 【0042】

図6は図5の高密度マルチチップメモリモジュール60の側面図であって、複数のチップ64、65を相互接続する導電性部分を有する相互接続部材62を含む。本発明のこの変形実施例によれば、チップ64、65は低外形パッケージTSOP、VSOPまたはTABによって封じられている。この場合、裸チップ組立て技術が付課する制限を受入れる必要がない相互接続部材62は、図4の相互接続部材22に類似の多層相互接続部材または普通の印刷配線基板の何れであってもよい。従って、チップ64、65は周知の表面取り付け技術を使用して相互接続部材62の側66、68に取りつけられる。

#### 【0043】

高密度マルチチップメモリモジュール60は、エッジクリップ70のような縁接続手段を使用して回路基板55に結合する。エッジクリップ70は、図3のエッジクリップ30と同様に、回路基板55の導電性部分59と部材62の側66、68の選択された導電性部分63、73とを電氣的に接続するように形成され、寸法決めされ、そして配列されている。エッジクリップ70と相互接続部材62の導電性部分63、73との間の電氣的接続は普通のはんだ付けによって行われ、エッジクリップ70と回路基板55の導電性部分59との間の電氣的接続は普通の表面取り付け方法によって行われる。

#### 【0044】

エッジクリップ70はマルチチップモジュール60と回路基板55との間の機械的結合及び構造支持をも提供し、マルチチップモジュール60の低外形化にも寄与している。しかしこの変形実施例においては両側66、68にチップ64、65を配したマルチチップモジュール60の高さXは、普通の低外形SOJパッケージ並みの約4.19mm (0.165インチ) である。

#### 【0045】

以上のようにして組立てられた高密度に実装されたメモリアレイ装置の変形実施例は、メモリ装置を取りつけた従来の両面表面マウント回路基板のメモリ密度の3乃至4倍のメモリ密度を提供することができる。回路基板55の中心からマ

ルチチップ60の側66までの距離Wは約4.95mm(0.195インチ)であり、そのため、この変形実施例は従来のコンピュータバックプレーンに対する間隔制約に反しない。さらに、若干のメモリバンクをそれらの位置に依存して付勢/減勢する交番パターンをマルチチップモジュール60、61の実装した装置全体にわたって実装させるので、現存コンピュータシステム資源の熱及び電力管理が行われる。

#### 【0046】

以上に本発明の好ましい実施例を説明したが、本発明の範囲から逸脱することなく変更及び変形が可能である。本発明の特色の1つは、現存のコンピュータバックプレーンの主コネクタを再設計する必要がない低外形、高密度メモリアレイ基板の実装を提供することである。また上記説明は古い型のメモリチップ高密度実装技術に関するものであったが、本発明は高密度チップ実装が重要な個所におけるより新しいチップ及びULSIチップにも等しく適用できる。

#### 【図面の簡単な説明】

##### 【図1】

図1は本発明の好ましい実施例による高密度に実装したメモリアレイ装置を収納したコンピュータバックプレーンの正面概要図であり、

##### 【図2】

図2は図1のバックプレーン内に使用されている高密度に実装したメモリアレイ装置の分解斜視図であり、

##### 【図3】

図3は図1のメモリアレイ装置に使用されている高密度マルチチップモジュールの一実施例の側面図であり、

##### 【図4】

図4は図3の高密度マルチチップモジュール内に使用されている多層相互接続部材の断面図であり、

##### 【図5】

図5は本発明による高密度に実装したメモリアレイ装置の別の実施例の斜視図であり、

## 【図6】

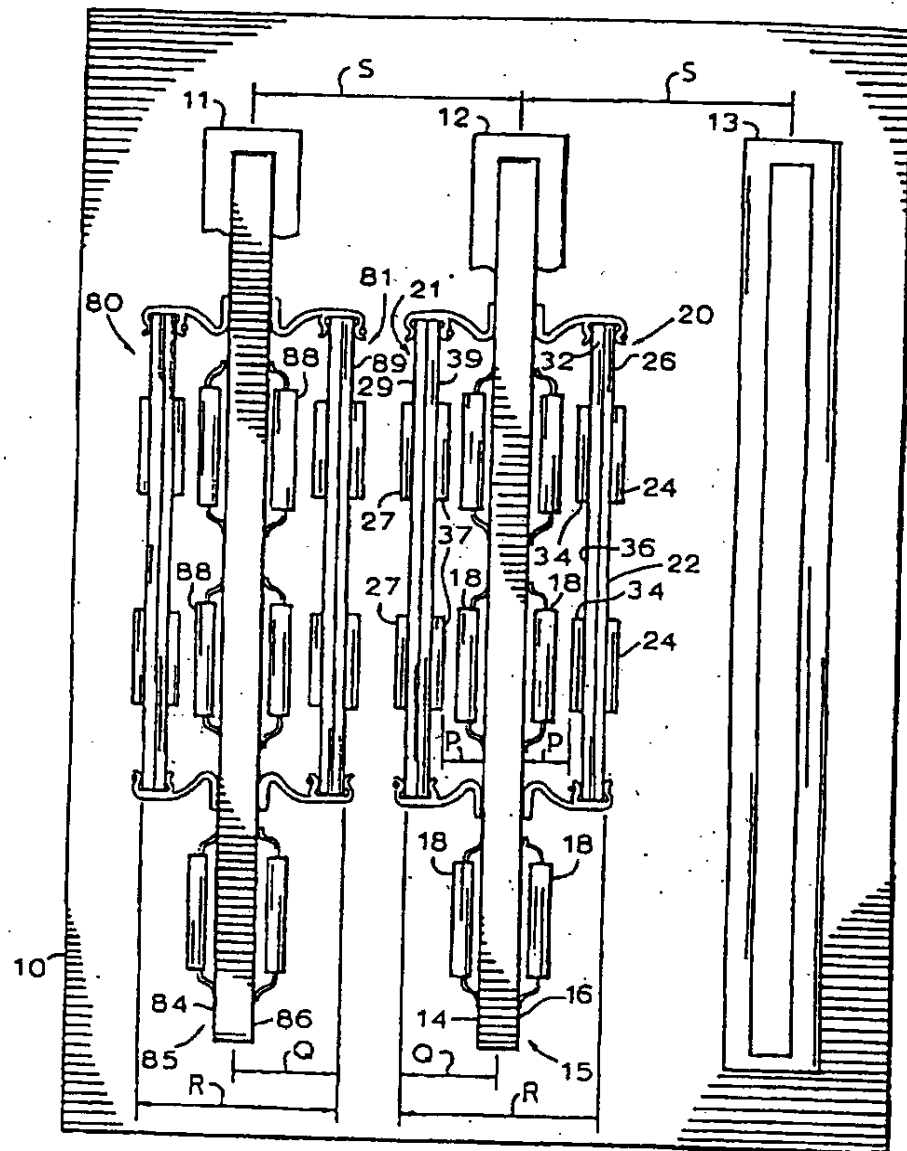
図6は図5のメモリアレイ装置内に使用されている高密度マルチチップモジュールの変形実施例の側面図である。

## 【符号の説明】

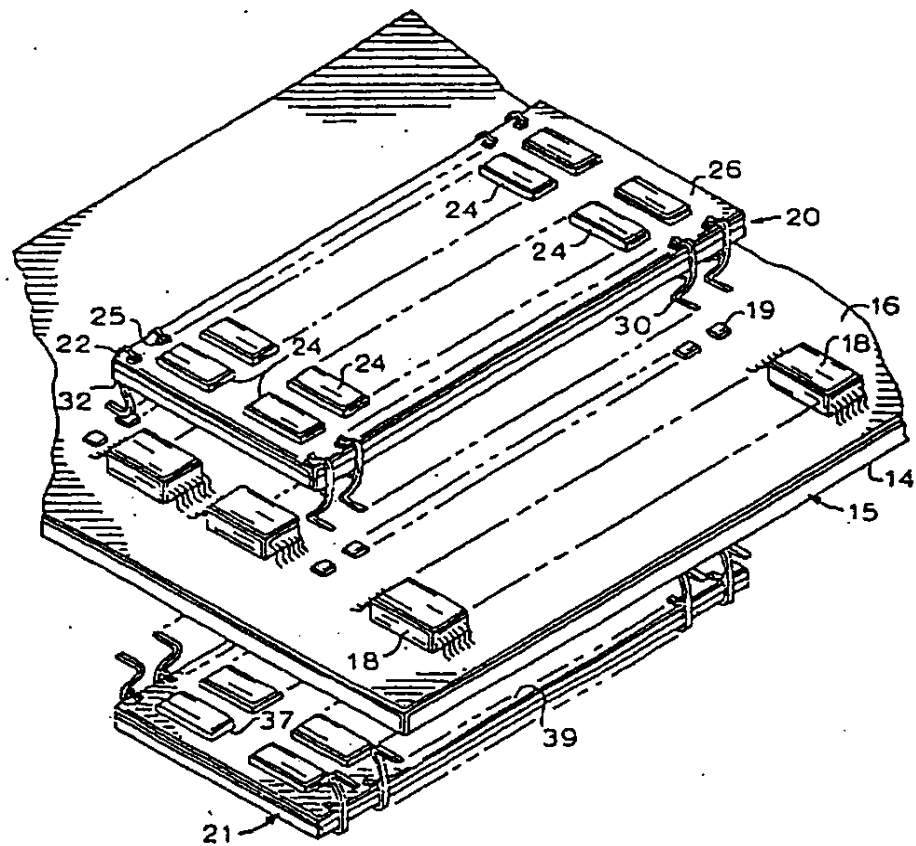
- 10 コンピュータバックプレーン
- 11, 12, 13 エッジコネクタ (レセプタクル)
- 14, 16, 54, 56, 84, 86 回路基板表面
- 15, 55, 85 回路基板
- 18, 58, 88 ICチップ
- 19, 59 回路基板の導電性部分
- 20, 21, 60, 61, 80, 81 マルチチップメモリモジュール
- 22, 32, 62 相互接続部材
- 24, 27, 34, 37, 64, 65, 67 メモリチップ
- 25, 35, 63, 73 相互接続部材の導電性部分
- 26, 29, 36, 39, 69 モジュールの側
- 28, 38, 66, 68 相互接続部材の側
- 30, 70 エッジクリップ
- 40 サブストレート層
- 44 導電層
- 46 絶縁層
- 48 緩衝結合器 (はんだバンプ)

【書類名】 図面

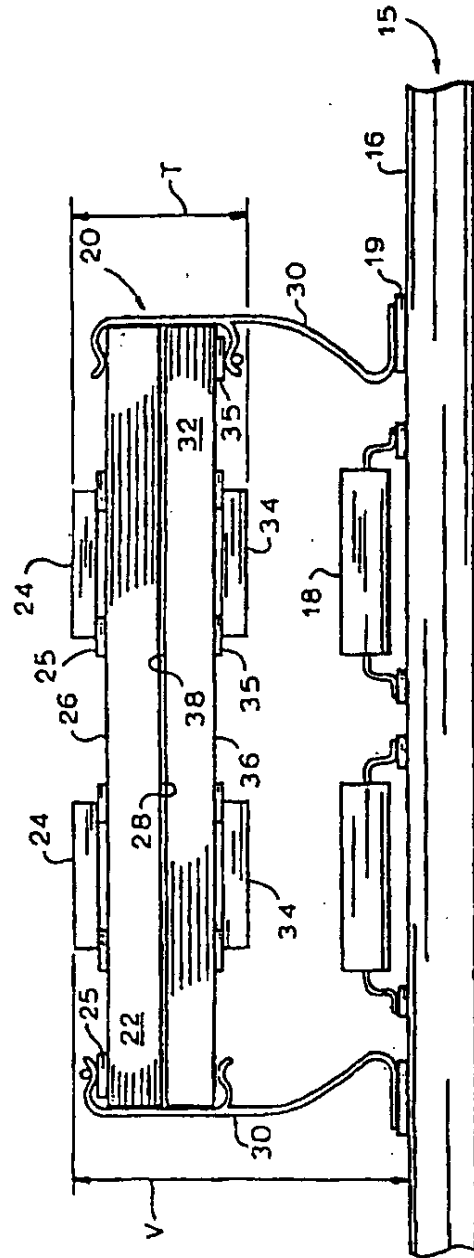
【図1】



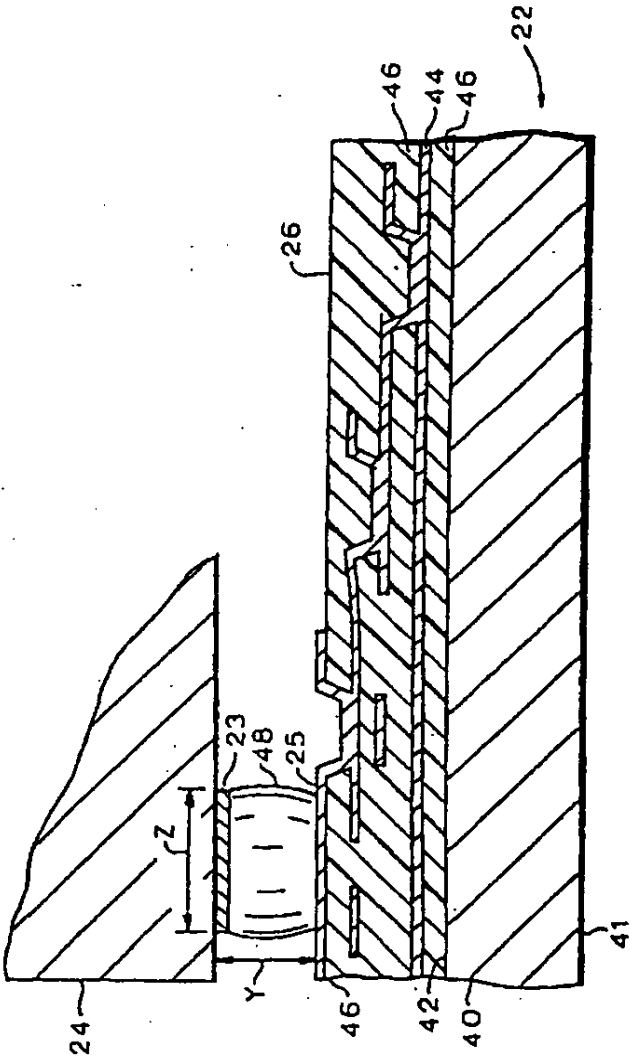
【図2】



【図3】

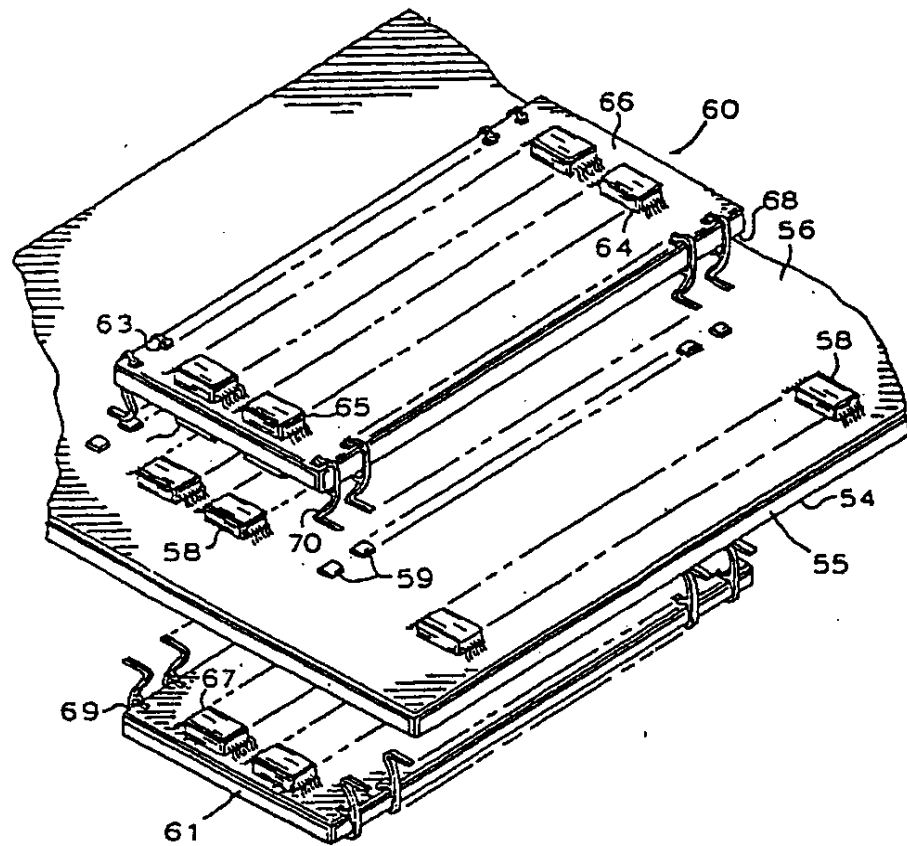


【図4】

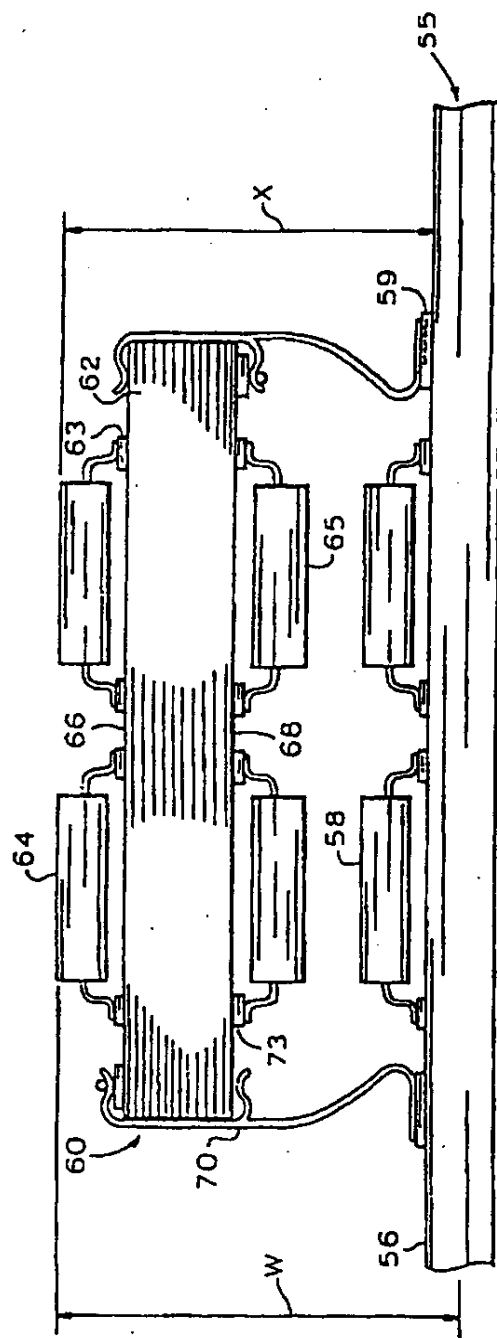




【図5】



【図 6】



第 1 頁の続き

⑤Int. Cl. <sup>5</sup>

識別記号

厅内整理番号

H 01 L 25/18  
H 05 K 1/14

**G**

8727-4E

⑫発明者 ドナルド ダブリュー  
スメルザー

アメリカ合衆国 マサチューセッツ州 01740ボルトン  
ウッドサイド ドライブ 20

⑫発 明 者      イー ウィリアム ブ  
                         ルース ザ セカンド

アメリカ合衆国 マサチューセッツ州 01462ルーネンバ  
ーグ ペイジ ストリート 434

⑦発 明 者      ジョン   オーディア

アイルランド国 ガルウェイ パーナ ロード シークレ  
 スト 143